

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-241892

(P2005-241892A)

(43) 公開日 平成17年9月8日(2005.9.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09F 9/00	G09F 9/00 352	2G036
G01R 31/00	G01R 31/00	2H092
G02F 1/1343	G02F 1/1343	5G435
G02F 1/1345	G02F 1/1345	

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号	特願2004-50642 (P2004-50642)	(71) 出願人	000002185
(22) 出願日	平成16年2月26日 (2004.2.26)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100084294
			弁理士 有吉 敦晴
		(74) 代理人	100114627
			弁理士 有吉 修一朗
		(72) 発明者	脇坂 博
			福岡県福岡市早良区百道浜2丁目3番2号
			ソニーセミコンダクタ九州株式会社内
		Fターム(参考)	2G036 AA25 BA33 CA06
			2H092 HA06 JA24 JB21 JB22 JB31
			JB77 NA27 NA30
			5G435 AA19 BB12 CC09 KK10

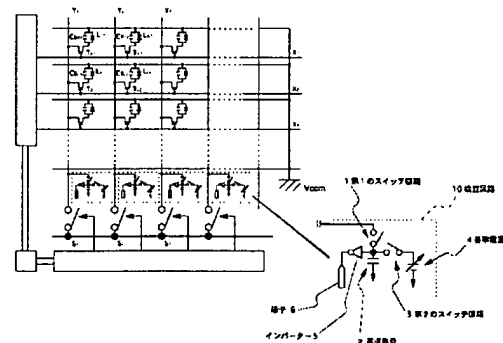
(54) 【発明の名称】 検査回路及び回路の検査方法並びにマトリックス型表示装置

(57) 【要約】

【課題】 保持容量のリーク、能動素子や配線の欠陥を高精度に検出することができる検査回路及び回路の検査方法並びにマトリックス型表示装置を提供する。

【解決手段】 行方向に沿って配列されたスキャンラインと、列方向に沿って配列されたデータラインと、スキャンライン及びデータラインの交点に配設された画素T_rと、第1のスイッチ回路1を介してスキャンラインに接続された基準容量2と、基準容量にインバータ5を介して外部につながる端子6を備え、画素T_rのゲート電極はスキャンラインに、ソース電極はデータラインに、ドレイン電極は各画素T_rに対応する保持容量に接続された液晶駆動回路の検査方法であって、第1のスイッチ回路を開いた状態で基準容量に所定の電荷を蓄積した後、第1のスイッチ回路を閉じて、論理回路からの出力信号を判別する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

行方向に沿って配列されたスキャンラインと、
列方向に沿って配列されたデータラインと、
該スキャンライン及びデータラインの交点に配設された能動素子を備え、
該能動素子のゲート電極は前記スキャンラインに、ソース電極は前記データラインに、
ドレイン電極は各能動素子に対応する保持容量に接続された検査回路において、
スイッチ回路を介して前記データラインに接続された基準容量と、
該基準容量の電圧値が所定の電圧値以上であるか否かを判別する論理回路を備える
ことを特徴とする検査回路。

10

【請求項 2】

前記保持容量及び前記基準容量は、同一の半導体プロセスによって形成された
ことを特徴とする請求項 1 に記載の検査回路。

【請求項 3】

行方向に沿って配列されたスキャンラインと、
列方向に沿って配列されたデータラインと、
該スキャンライン及びデータラインの交点に配設された能動素子と、
前記データラインにスイッチ回路を介して接続された基準容量と、
該基準容量に接続された論理回路を備え、
前記能動素子のゲート電極は前記スキャンラインに、ソース電極は前記データラインに
、ドレイン電極は各能動素子に対応する保持容量に接続された回路の検査方法であって、
前記スイッチ回路を開いた状態で前記基準容量に所定の電荷を蓄積する工程と、
前記スイッチ回路を閉じた後に、前記基準容量の電圧値が前記論理回路のスレッシュホ
ルド電圧以上であるか否かを判別する工程を備える
ことを特徴とする回路の検査方法。

20

【請求項 4】

前記保持容量及び前記基準容量は、同一の半導体プロセスによって形成された
ことを特徴とする請求項 3 に記載の回路の検査方法。

【請求項 5】

行方向に沿って配列されたスキャンラインと、列方向に沿って配列されたデータライン
と、該スキャンライン及びデータラインの交点に配設された能動素子を備え、該能動素子
のゲート電極は前記スキャンラインに、ソース電極は前記データラインに、ドレイン電極
は各能動素子に対応する保持容量に接続された検査回路が形成された駆動基板を備えるマ
トリックス型表示装置において、
スイッチ回路を介して前記データラインに接続された基準容量と、
該基準容量の電圧値が所定の電圧値以上であるか否かを判別する論理回路を備える
ことを特徴とするマトリックス型表示装置。

30

【請求項 6】

前記保持容量及び前記基準容量は、同一の半導体プロセスによって形成された
ことを特徴とする請求項 5 に記載のマトリックス型表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は検査回路及び回路の検査方法並びにマトリックス型表示装置に関する。詳しく
は、基準容量に蓄積した所定の電荷を被測定物である保持容量に分配することによって、
保持容量のリークや、能動素子や配線の欠陥を高精度に検出しようとした検査回路及び回
路の検査方法並びにマトリックス型表示装置に係るものである。

【背景技術】

【0002】

従来、液晶画素に対応して複数の画素駆動素子を配置するとともに、垂直走査方向に配

50

置された各画素駆動素子に接続される複数のデータラインと、水平走査方向に配置された画素駆動素子に接続される複数のスキャンラインを有し、スキャンラインに順次垂直同期信号を供給するとともに、データラインにビデオ信号を供給することにより、画素駆動素子を駆動して液晶画素を制御する液晶駆動回路が知られている（例えば、特許文献1参照。）。

【0003】

以下、図面を用いて従来の液晶駆動回路について説明する。

図5は、従来のアクティブマトリックス型液晶表示装置の液晶駆動回路の構成を説明するための図であり、ここで示す液晶駆動回路は、X軸方向に平行に配列された複数のスキャンライン $X_1, X_2, X_3 \dots$ と、Y軸方向に平行に配列された複数のデータライン $Y_1, Y_2, Y_3 \dots$ を備えており、各スキャンラインとデータラインの交点には、画素トランジスタ（以下、画素 T_r と言う）として例えば薄膜トランジスタ（TFT）等の能動素子 $T_{11}, T_{12}, T_{21}, T_{22} \dots$ が形成され、更に各能動素子に対応した保持容量 $C_{s11}, C_{s12}, C_{s21}, C_{s22} \dots$ 、画素電極及び対向電極によって挟持された液晶から構成された液晶セル $L_{11}, L_{12}, L_{21}, L_{22} \dots$ が形成されている。なお、各画素 T_r は液晶画素に対応してマトリックス状に配置されており、各画素 T_r のゲート電極はスキャンラインに接続されており、ソース電極はデータラインに接続されており、ドレイン電極は対応する保持容量及び液晶セルの画素電極に接続されている。

【0004】

また、各データラインはそれぞれ対応する水平スイッチ $S_1, S_2, S_3 \dots$ を介して共通のビデオライン101に接続されており、このビデオラインから映像信号が供給される。更に、各水平スイッチを構成するスイッチングトランジスタのゲート電極は水平走査回路102に接続されており、この水平走査回路は、外部から入力される水平クロック信号に同期して順次水平スイッチ駆動パルス信号をスイッチングトランジスタのゲート電極に印加する。なお、各スキャンラインは垂直走査回路104に接続されている。

【0005】

上記の様に構成された液晶駆動回路では、垂直走査回路を駆動すると、スキャンラインが線順次で励起され、行毎に画素 T_r が選択される。この際、水平走査回路を駆動して水平スイッチを線順次で動作させると、ビデオラインに供給された映像信号が順次各データラインにサンプリングされる。サンプリングされた映像信号は行毎に選択された画素 T_r を介して順次対応する保持容量に書き込まれる。

【0006】

ところで、従来の液晶駆動回路の保持容量のリークや画素 T_r 不良等の検査方法として、（1）液晶駆動回路が形成されたTFT基板と対向基板の間に液晶を注入して液晶パネルを形成した後に、光を照射して液晶パネルの画像を検査することによる液晶駆動回路の検査方法や、（2）液晶駆動回路のビデオラインに外部から電圧を印加して、その電流波形や印加波形をモニタリングすることによる液晶駆動回路の検査方法が採用されている。

【0007】

【特許文献1】特開2000-347627号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、前者の方法は、液晶駆動回路の検査を行うにあたり、液晶パネルを形成しなければならず、液晶パネルの画像検査の結果、液晶駆動回路に不良が見つかった場合には、液晶パネルを形成する工程及び液晶パネルを形成するための材料及び工数が無駄になってしまう。

【0009】

一方、後者の方法は、液晶パネルを形成することなく液晶駆動回路の検査を行うことができるものの、保持容量のリーク、画素 T_r や配線の不良の検査を行うためには、ピコア

ンペアオーダー ($\times 10^{-12}$ A) 以下の極めて微小な電流を精度良く測定しなければならず、検査精度を確保するのが難しい。

【0010】

本発明は以上の点に鑑みて創案されたものであって、保持容量のリーク、能動素子や配線の欠陥を高精度に検出することができる検査回路及び回路の検査方法並びにマトリックス型表示装置を提供することを目的とするものである。

【課題を解決するための手段】

【0011】

上記の目的を達成するために、本発明に係る検査回路は、行方向に沿って配列されたスキャンラインと、列方向に沿って配列されたデータラインと、該スキャンライン及びデータラインの交点に配設された能動素子を備え、該能動素子のゲート電極は前記スキャンラインに、ソース電極は前記データラインに、ドレイン電極は各能動素子に対応する保持容量に接続された検査回路において、スイッチ回路を介して前記データラインに接続された基準容量と、該基準容量の電圧値が所定の電圧値以上であるか否かを判別する論理回路を備える。

10

【0012】

また、上記の目的を達成するために、本発明に係る回路の検査方法は、行方向に沿って配列されたスキャンラインと、列方向に沿って配列されたデータラインと、該スキャンライン及びデータラインの交点に配設された能動素子と、前記データラインにスイッチ回路を介して接続された基準容量と、該基準容量に接続された論理回路を備え、前記能動素子のゲート電極は前記スキャンラインに、ソース電極は前記データラインに、ドレイン電極は各能動素子に対応する保持容量に接続された回路の検査方法であって、前記スイッチ回路を開いた状態で前記基準容量に所定の電荷を蓄積する工程と、前記スイッチ回路を閉じた後に、前記基準容量の電圧値が前記論理回路のスレッシュホールド電圧以上であるか否かを判別する工程を備える。

20

【0013】

また、上記の目的を達成するために、本発明に係るマトリックス型表示装置は、行方向に沿って配列されたスキャンラインと、列方向に沿って配列されたデータラインと、該スキャンライン及びデータラインの交点に配設された能動素子を備え、該能動素子のゲート電極は前記スキャンラインに、ソース電極は前記データラインに、ドレイン電極は各能動素子に対応する保持容量に接続された検査回路が形成された駆動基板を備えるマトリックス型表示装置において、スイッチ回路を介して前記データラインに接続された基準容量と、該基準容量の電圧値が所定の電圧値以上であるか否かを判別する論理回路を備える。

30

【0014】

ここで、所定の電荷量を基準容量に蓄積した後にスイッチ回路を閉じて、基準容量に接続された論理回路で基準容量の電圧値が論理回路のスレッシュホールド電圧以上であるか否かを判別することにより、保持容量のリークや、能動素子や配線の欠陥を検出することができる。

【0015】

なお、保持容量のリークを検査する際には、保持容量にリークが無く、能動素子や配線に欠陥が無いと仮定した場合において、スイッチ回路を閉じた後の基準容量の電圧値が論理回路のスレッシュホールド電圧よりも大きくなる様な電荷量に相当する電圧をスイッチ回路が開いた状態で基準容量に印加する。

40

一方、能動素子や配線の欠陥を検査する際には、保持容量にリークが無く、能動素子や配線に欠陥が無いと仮定した場合において、スイッチ回路を閉じた後の基準容量の電圧値が論理回路のスレッシュホールド電圧よりも小さくなる様な電荷量に相当する電圧をスイッチ回路が開いた状態で基準容量に印加する。

【0016】

ここで、保持容量及び基準容量は同一の半導体プロセスによって形成された方が好ましい。これは、本発明を適用した保持容量のリーク等の検査は、保持容量の容量値と基準容

50

量の容量値の比が一定であれば高精度な検査を行うことができるために、保持容量及び基準容量を同一の半導体プロセスによって形成することによって、製造プロセスのバラツキが生じたとしても、保持容量と同じバラツキを有する基準容量を用いることによって保持容量の容量値と基準容量の容量値の比を確保し、製造プロセスのバラツキの影響を低減して高精度な検査が可能になるからである。

【発明の効果】

【0017】

上記した本発明を適用した検査回路及び回路の検査方法並びにマトリックス型表示装置では、スイッチ回路を閉じた後に、基準容量の電圧値が基準のスレッシュホールド電圧以上であるか否かを判別することによって保持容量のリーク、能動素子及び配線の欠陥を検出することができ、高精度な駆動回路の検査を実現することができる。

10

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態について図面を参照しながら説明し、本発明の理解に供する。

図1は本発明を適用したアクティブマトリックス型液晶表示装置の一例における液晶駆動回路の構成を説明するための図であり、ここで示す液晶駆動回路は、上記した従来の液晶駆動回路と同様に、X軸方向に平行に配列された複数のスキャンライン X_1, X_2, X_3, \dots と、Y軸方向に平行に配列された複数のデータライン Y_1, Y_2, Y_3, \dots を備えており、各スキャンラインとデータラインの交点には、画素 T_r として例えば薄膜トランジスタ(TFT)等の能動素子 $T_{11}, T_{12}, T_{21}, T_{22}, \dots$ が形成され、更に各能動素子に対応した保持容量 $Cs_{11}, Cs_{12}, Cs_{21}, Cs_{22}, \dots$ 、画素電極及び対向電極によって挟持された液晶から構成された液晶セル $L_{11}, L_{12}, L_{21}, L_{22}, \dots$ が形成されている。なお、各素子は液晶画素に対応してマトリックス状に配置されており、各画素 T_r のゲート電極はスキャンラインに接続されており、ソース電極はデータラインに接続されており、ドレイン電極は対応する保持容量及び液晶セルの画素電極に接続されている。

20

【0019】

また、各データラインには検査回路10が接続されており、この検査回路は、第1のスイッチ回路1を介してデータラインに接続された基準容量2と、第2のスイッチ回路3を介して基準容量に接続された基準電源4と、論理回路(本実施例ではインバータ5)を介して外部につながる端子6を有する。なお、基準容量は液晶駆動回路の保持容量と同一の半導体プロセスによって形成されたものとする。また、端子6はインバータを介して基準容量に接続されており、基準容量の電圧値がスレッシュホールド電圧以上の場合にはローレベル(以下、Lレベルと言う)の信号を、基準容量の電圧値が論理回路のスレッシュホールド電圧未満の場合にはハイレベル(以下、Hレベルと言う)の信号を出力する。

30

【0020】

また、基準容量及び保持容量は所望の容量値となる様に形成することができるのであれば、必ずしも同一の半導体プロセスによって製造する必要は無い。

【0021】

更に、基準電源は基準容量に一定の電荷を蓄積することができれば充分であり、必ずしも検査回路内に基準電源が内蔵されている必要は無く、外部から電圧を印加することによって基準容量に電荷を蓄積する様に構成しても良い。

40

【0022】

以下、上記の様に構成された液晶駆動回路の(A)保持容量のリークを検査する方法及び(B)画素 T_r の機能不良や保持容量への配線接続不良を検査する方法について図2、図3及び図4を用いて説明する。なお、以下では、被測定物である画素の保持容量(以下、被測定容量と言う)7の容量値を C_s 、基準容量の容量値を C_{ref} 、基準電源の電圧値を V_{test} とし、論理回路のスレッシュホールド電圧を V_{th} ($V_{th} < V_{test}$)とする。また、図3及び図4中(a)は基準容量の電圧値 V を表しており、図3及び図4中

50

(b) は論理回路 (本実施例ではインバーター) の出力信号を表している。

【0023】

(A) 保持容量のリークを検査する方法

保持容量のリークを検査する場合には、先ず、第2のスイッチ回路を閉じて基準電源と基準容量を接続して基準容量に電荷を蓄積する。この時、基準電源から以下の式1の条件を満たす電圧値を供給する。

$$V_{test} > V_{th} \times \{ (C_s + C_{ref}) / C_{ref} \} \quad : \text{(式1)}$$

【0024】

次に、第2のスイッチ回路を開けて基準電源と基準容量との接続を絶ち、続いて図3中符号 t1 で示すタイミングで第1のスイッチ回路を閉じて基準容量と被測定容量を接続して基準容量に蓄積した電荷を基準容量と被測定容量との間で分配する。

10

【0025】

さて、電荷の分配を行うと、被測定容量のリークが無いと仮定すると、基準容量の電圧値 V は以下の式2で表され、式1と式2から以下の式3の関係が導かれる。

$$V = \{ C_{ref} / (C_s + C_{ref}) \} \times V_{test} \quad : \text{(式2)}$$

$$V > V_{th} \quad : \text{(式3)}$$

【0026】

即ち、被測定容量のリークが無いと仮定すると、電荷の分配を行った後の基準容量の電圧値 V は V_{th} よりも大きくなり、図3 (A) 中 (a) で示す様に、基準容量の電圧値 V は常に V_{th} よりも大きくなり、論理回路からの出力は図3 (A) 中 (b) で示す様に常に L レベル信号となる。

20

【0027】

これに対して、被測定容量のリークがある場合には、図3 (B) 中 (a) で示す様に、電荷の分配を行った後に徐々に基準容量の電圧値が低下して、遂には図3中符号 t2 で示すタイミングで基準容量の電圧値 V は V_{th} よりも小さくなってしまい、論理回路からの出力は図3 (B) 中 (b) で示す様に、符号 t2 で示すタイミングまでは L レベル信号であり、符号 t2 で示すタイミング以降は H レベル信号となる。

【0028】

従って、t2 で示すタイミング以降を判定タイミングとして、t2 で示すタイミング以降に論理回路からの出力が L レベル信号である場合には被測定容量のリークは無いと判断することができ、t2 で示すタイミング以降に論理回路からの出力が H レベル信号である場合には被測定容量のリークがあると判断することができる。

30

【0029】

(B) 画素 Tr の機能不良や保持容量への配線接続不良を検査する方法

画素 Tr の機能不良や保持容量への配線接続不良を検査する場合には、先ず、第2のスイッチ回路を閉じて基準電源と基準容量を接続して基準容量に電荷を蓄積する。この時、基準電源から以下の式4の条件を満たす電圧値を供給する。

$$V_{test} < V_{th} \times \{ (C_s + C_{ref}) / C_{ref} \} \quad : \text{(式4)}$$

【0030】

次に、第2のスイッチ回路を開けて基準電源と基準容量との接続を絶ち、続いて図4中符号 t3 で示すタイミングで第1のスイッチ回路を閉じて基準容量とデータラインを接続する。

40

【0031】

さて、画素 Tr の機能不良や被測定容量への配線接続不良が無いと仮定すると、基準容量とデータラインを接続することにより基準容量に蓄積した電荷が基準容量と被測定容量との間で分配される。この時の基準容量の電圧値 V は以下の式5で表され、式4と式5から以下の式6の関係が導かれる。

$$V = \{ C_{ref} / (C_s + C_{ref}) \} \times V_{test} \quad : \text{(式5)}$$

$$V < V_{th} \quad : \text{(式6)}$$

【0032】

50

即ち、画素 T_r の機能不良や被測定容量への配線接続不良が無いと仮定すると、基準容量とデータラインを接続することにより電荷の分配が行われ、図 4 (A) 中 (a) で示す様に、基準容量の電圧値 V は V_{th} よりも小さくなり、図 4 (A) 中 (b) で示す様に、基準容量の電圧値は符号 t_3 で示すタイミングまでは L レベル信号であり、符号 t_3 で示すタイミング以降は H レベル信号となる。

【0033】

これに対して、画素 T_r の機能不良や被測定容量への配線接続不良がある場合には、図 4 (B) 中 (a) で示す様に、基準容量とデータラインを接続したとしても電荷の分配が行われないために、図 4 (B) 中 (b) で示す様に、 t_3 で示すタイミング以降も論理回路は L レベル信号となる。

10

【0034】

従って、 t_3 で示すタイミング以降を判定タイミングとして、 t_3 で示すタイミング以降に論理回路からの出力が H レベルである場合には画素 T_r の機能不良や被測定容量への接続不良は無いと判断することができ、 t_3 で示すタイミング以降に論理回路からの出力が L レベルである場合には画素 T_r の機能不良や保持容量への接続不良があると判断することができる。

【0035】

なお、上記した実施例では、(A) 保持容量のリークを検査する場合と (B) 画素 T_r の機能不良や保持容量への配線接続不良を検査する場合で、 V_{test} を変えることにより式 1 及び式 4 の条件を満たしてそれぞれの検査を行っているが、 V_{th} を変更することができる論理回路の場合には、 V_{test} を変更することなく V_{th} を変更することによって式 1 及び式 4 の条件を満たしてそれぞれの検査を行っても良い。

20

【0036】

また、上記した実施例では論理回路にインバータを用いているが一定のスレッシュホールドで H レベルであるか L レベルであるかを判定できるものであれば論理は問わない。

【0037】

また、上記した実施例では画素の保持容量と基準容量に関して計算式を示しているが、駆動回路の配線容量等の寄生容量の影響が大きい場合には、それらを含めてリークや画素 T_r の機能不良を検出できるような基準容量値と印加電圧を定めればよい。

【0038】

また、上記した実施例では基準容量と一つの画素の保持容量 C_s の場合に限定して説明しているが、基準容量に対して複数の画素容量を同時に ON しても構わない。

30

【0039】

また、上記した実施例では、アクティブマトリックス型液晶表示装置の駆動回路を例に挙げて説明を行っているが、マトリックス状に画素が配置され、各画素が保持容量を有する構造の表示装置であれば同様の方法で検査を行うことができる。

【0040】

上記した本発明を適用した液晶駆動回路及び液晶駆動回路の検査方法では、式 1 で示す条件を満たす電圧値を基準容量に供給して蓄積した電荷の分配を行うことによって、符号 t_2 で示すタイミング以降の論理回路の出力信号から保持容量のリークを検査することができ、また、式 4 で示す条件を満たす電圧値を基準容量に供給して電荷を蓄積した後に基準容量と被測定容量を接続することによって、符号 t_3 で示すタイミング以降の論理回路の出力信号から画素 T_r の機能不良や保持容量への配線接続不良を検査することができ、液晶パネルの画素欠陥につながる保持容量のリークや画素 T_r の機能不良や保持容量への配線接続不良を高精度に検査することができる。

40

即ち、論理回路から出力される信号が H レベル信号であるか L レベル信号であるかを単に判断するだけで液晶駆動回路の保持容量のリーク等の検査を行うことができ、検出が困難な微量な電流値を測定する必要がないために、高精度な検査を実現することができる。

【0041】

また、本発明の液晶駆動回路は特殊な素子を使用することなく、一般的な半導体プロセ

50

スを用いて製造することができるために、既存の設備を用いて容易に製造することができる。

【図面の簡単な説明】

【0042】

【図1】本発明を適用したアクティブマトリクス型液晶表示装置の一例における液晶駆動回路の構成を説明するための図である。

【図2】本発明を適用した液晶駆動回路の検査方法を説明するための図である。

【図3】保持容量のリークを検査する方法を説明するための図である。

【図4】画素 T_r の機能不良や保持容量への配線接続不良を検査する方法を説明するための図である。

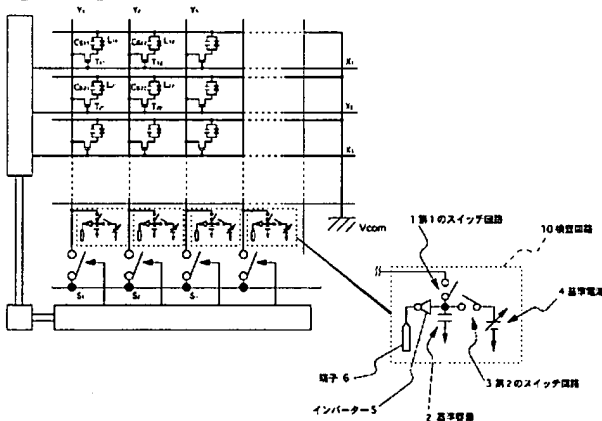
【図5】従来のアクティブマトリクス型液晶表示装置の液晶駆動回路の構成を説明するための図である。

【符号の説明】

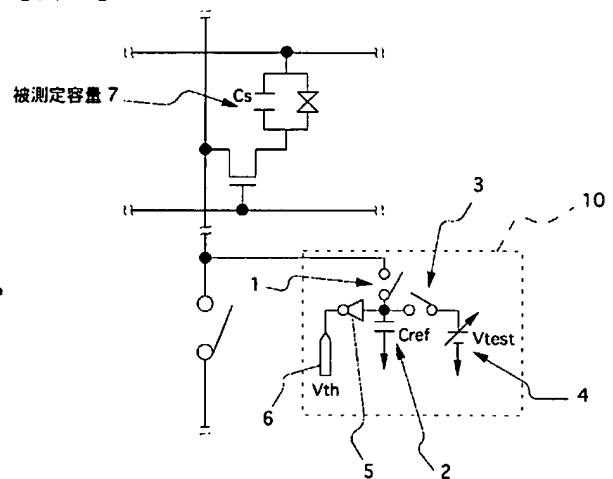
【0043】

- 1 第1のスイッチ回路
- 2 基準容量
- 3 第2のスイッチ回路
- 4 基準電源
- 5 インバータ
- 6 端子
- 7 被測定容量
- 10 検査回路

【図1】



【図2】



DERWENT- 2005-633356
ACC-NO:

DERWENT- 200565
WEEK:

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Test circuit for matrix type display device has reference
capacitor connected to data line via switching circuit, and
inverter that discriminates whether capacitor voltage
exceeds predetermined voltage value

INVENTOR: WAKISAKA, H

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 2004JP-0050642 (February 26, 2004)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2005241892	A September 8, 2005	N/A	009	G09F 009/00

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2005241892A	N/A	2004JP-0050642	February 26, 2004

INT-CL (IPC): G01R031/00, G02F001/1343 , G02F001/1345 , G09F009/00

ABSTRACTED-PUB-NO: JP2005241892A

BASIC-ABSTRACT:

NOVELTY - Active elements are arranged at the intersection of scan and data lines, with the gate electrode of the active element corresponds to the scan line and the source electrode to the data line. A reference capacitor (2) is connected to a data line via a switching circuit (1). An inverter (5) discriminates whether the voltage of the capacitor exceeds a predetermined voltage value.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

(A) a circuit inspection method; and

(B) a matrix type display device

USE - For matrix type display device.

ADVANTAGE - Enables highly-precise testing of the circuits of the display device since defective circuit wirings can be easily detected.

DESCRIPTION OF DRAWING(S) - The figure demonstrates the structure of the liquid crystal drive circuit. (Drawing includes non-English language text)

Switching circuit 1

Reference capacitor 2

Reference power supply 4

Inverter 5

Terminal 6

Test circuit 10

CHOSEN- Dwg.1/5
DRAWING:

TITLE- TEST CIRCUIT MATRIX TYPE DISPLAY DEVICE REFERENCE
TERMS: CAPACITOR CONNECT DATA LINE SWITCH CIRCUIT INVERTER
DISCRIMINATE CAPACITOR VOLTAGE PREDETERMINED VOLTAGE VALUE

DERWENT-CLASS: P81 P85 S01 S02 U14

EPI-CODES: S01-G04; S01-G12C; S02-J04A3A; U14-K01A8;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2005-519782